

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PAT-NO: JP357092499A
DOCUMENT-IDENTIFIER: JP 57092499 A
TITLE: DIRECTORY DEVICE
PUBN-DATE: June 9, 1982

INVENTOR-INFORMATION:

NAME
AOYANAGI, KEIZO
HIRAOKA, TAKASHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP55167435

APPL-DATE: November 28, 1980

INT-CL (IPC): G11C029/00, G06F011/10 , G06F013/00 ,
G11C009/06

US-CL-CURRENT: 714/805

ABSTRACT:

PURPOSE: To prevent erroneous operation easily and to attain each access correctly and efficiently by making a parity check on directly information by providing only a parity generating circuit and a comparing circuit.

CONSTITUTION: A comparing circuit 19 compares a parity bit on a parity output signal line 15 with that on a readout output signal line 18. When dissidence is detected, an inhibition signal is outputted to an inhibition

signal line 20. A comparing circuit 21, even when detecting the coincidence between information on an output signal line 12 and that on a readout output signal line 17, is inhibited by the inhibition signal on the signal line 20 from outputting a coincidence detection signal. Consequently, a cash error is judged to be generated and a CPU reads data in a prescribed address correctly. In this case, directory information which corresponds to the address and a parity bit generated by a parity generating circuit 14 on the basis of the information are registered in a directory memory 16 and the data is retained in a cash memory.

COPYRIGHT: (C)1982,JPO&Japio

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑰ 公開特許公報 (A) 昭57-92499

⑯ Int. Cl.³ 識別記号 行内整理番号 ⑮ 公開 昭和57年(1982)6月9日
G 11 C 29/00 6974-5B
G 06 F 11/10 7368-5B 発明の数 1
13/00 7361-5B 審査請求 未請求
G 11 C 9/06 7056-5B

(全 5 頁)

⑪ デイレクトリ装置

⑫ 特 願 昭55-167435
⑬ 出 願 昭55(1980)11月28日
⑭ 発明者 青柳恵三
東京都府中市東芝町1番地東京
芝浦電気株式会社府中工場内

⑮ 発明者 平岡孝

東京都府中市東芝町1番地東京
芝浦電気株式会社府中工場内
⑯ 出願人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑰ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

デイレクトリ装置

2. 特許請求の範囲

(1) デイレクトリ情報およびこのデイレクトリ情報のパリティビットとの連結情報が登録されるデイレクトリメモリと、キヤツシユアクセス要求時に提示されるメモリアドレスが保持されるアドレスレジスタと、このアドレスレジスタの上位領域の保持内容に基づいてパリティビットを生成するパリティ発生回路と、キヤツシユアクセス要求時に、上記アドレスレジスタの上位領域の保持内容および上記パリティ発生回路によって生成されるパリティビットとの連結情報と上記アドレスレジスタの下位領域の保持内容で示される上記デイレクトリメモリのアドレス位置から読出されるデイレクトリ情報およびそのパリティビットとの連結情報をと比較してキヤツシユヒット／キヤツシユミスを判定する比較部とを具備することを特徴とするデイレ

クトリ装置。

(2) 上記比較部は、上記アドレスレジスタの上位領域の保持内容と上記アドレスレジスタの下位領域の保持内容で示される上記デイレクトリメモリのアドレス位置から読出される情報のうちのデイレクトリ情報とを比較する第1の比較回路と、上記パリティ発生回路によって生成されるパリティビットと上記アドレスレジスタの下位領域の保持内容で示される上記デイレクトリメモリのアドレス位置から読出される情報のうちのパリティビットとを比較し、不一致検出時に上記第1の比較回路の一一致検出出力を禁止する禁止信号を出力する第2の比較回路とを備えていることを特徴とする特許請求の範囲第1項記載のデイレクトリ装置。

(3) 上記禁止信号を異常検出信号として用いることを特徴とする特許請求の範囲第2項記載のデイレクトリ装置。

3. 発明の詳細な説明

本発明はキヤツシユメモリシステムに用いら

れるディレクトリ装置に関する。

一般にキヤツシユメモリシステムは、キヤツシユメモリに格納されているプロックデータのアドレス情報（ディレクトリ情報）を登録管理するためのディレクトリメモリと称されるファイルを有している。キヤツシユメモリシステムにおいて、中央処理装置（以下CPUと称す）が主記憶装置をアクセスする場合、先ずキヤツシユメモリに対してメモリアクセスを行なう。そして必要とするデータがキヤツシユメモリに格納されているか否かをディレクトリメモリに登録されているアドレス情報とメモリアドレスとを比較判別する動作が行なわれる。すなわち、キヤツシユメモリへのアクセス要求時にCPUから出力されるメモリアドレスとディレクトリメモリに登録されているアドレス情報とが一致するか否かがチェックされる。そして、キヤツシユメモリに登録されていれば（これをヒットと称する）キヤツシユメモリよりデータが読み出されCPUに転送される。しかしキヤツシユメ

モリに登録されていなければ（これをキャッシュミスと称する）CPUは同じメモリアドレスを用いて主記憶装置よりデータを読み出し、当該データをキヤツシユメモリに格納する。これは例えばキヤツシユメモリに格納されている一番古いデータと当該データとを書き換えて格納する。同時にディレクトリメモリに書き換えを行なつたデータの新しいアドレス（ディレクトリ情報）を登録する動作が行なわれる。そして、主記憶装置又はキヤツシユメモリから読み出されるデータがCPUに転送される。

このようなアドレス管理を行なう部分は、通常ディレクトリ装置と称されている。ディレクトリ装置において、たとえばディレクトリメモリに故障が発生した場合、その故障状態たとえばビット抜けなどによって次の如き現象が生じることがあつた。すなわち、たとえば16進表示で“1000”番地（以下、“1000”₁₆の如く数字16を添えて表わす）と“3000”₁₆番地のデータがキヤツシユメモリの同一プロッ

クに保存されるものである場合において、ディレクトリメモリに“3000”₁₆番地が登録されているとき、上述の故障によつてビットの縮退が起り、“3000”₁₆番地の登録内容が“1000”₁₆番地に変化してしまうことがあつた。このような状態でCPUから

“3000”₁₆番地を示すアドレスのキヤツシユアクセス要求が生じた場合、明らかにようやにキヤツシユミスとなる。このため、キヤツシユメモリからのデータ読み出しはできなくなるが、主記憶装置より正しいデータが読み出されるので見かけ上誤動作はやじない。しかし、CPUから“1000”₁₆番地を示すアドレスによるキヤツシユアクセス要求が生じた場合、従来のディレクトリ装置では次のような不都合が生じる欠点があつた。

すなわち、従来のディレクトリ装置では、“1000”₁₆番地のアドレスのキヤツシユアクセス要求に対し、当該アドレスが本来ディレクトリメモリに登録されていないアドレスで

あるにもかかわらず上述の故障のためにキヤツシユヒットし、この結果キヤツシユメモリより“3000”₁₆番地のデータが誤って読み出されてしまう欠点があつた。

本発明は上記事情に鑑みてなされたものでその目的は、極めて簡単な構成でありながらキヤツシユアクセス要求に対するデータの読み出しが誤りなく行なえるディレクトリ装置を提供することにある。

以下、本発明の一実施例を図面を参照して説明する。図中、11はメモリアクセス要求時にCPUから出力されるメモリアドレスを保持するためのロチロビットのアドレスレジスタである。また、12はアドレスレジスタ11の上位ロビットの出力信号線、13はアドレスレジスタ11の下位ロビットの出力信号線である。

14はパリティ発生回路である。パリティ発生回路14は出力信号線12に接続され、アドレスレジスタ11の上位ロビットの内容に対応するパリティビットを発生するための公知の回路

構成を含んでいる。15はパリティ発生回路14にて発生されるパリティビットのパリティ出力信号線、16はRAM(Random Access Memory)などで成るディレクトリメモリである。ディレクトリメモリ16は周知のようにキヤツシユ制御部(図示せず)の制御のもとにキヤツシユメモリ(図示せず)に格納されているデータのアドレス情報(ディレクトリ情報)を登録管理するためのファイルとして用いられるディレクトリメモリ16は、出力信号線13上の情報を(ディレクトリメモリ13を検索するための)アドレス入力とし、出力信号線12上の情報およびパリティ出力信号線15上の情報をとの連結情報をデータ入力としている。本実施例において、出力信号線12上の情報をすなわちアドレスレジスタ11の上位nビットがディレクトリ情報として用いられている。

17はディレクトリメモリ16の読出し出力のうちのディレクトリ情報のための読出し出力信号線、18は同じくディレクトリメモリ16

のデータがキヤツシユメモリの同一ブロックに保存されるようなキヤツシユ装置におけるディレクトリ装置であるものとする。そして、ディレクトリメモリ16には“1000”₁₆番地に対応するディレクトリ情報が登録されているものとする。このような状態でディレクトリメモリ16に故障が発生し、ビット絶退によつて“3000”₁₆番地に対応するディレクトリ情報が“1000”₁₆番地に対するディレクトリ情報に変化してしまつたものとする。

ここで、CPUからメモリアクセス要求が発生し、“1000”₁₆番地を示すメモリアドレスがアドレスレジスタ11に保持されたものとする。このアドレスレジスタ11の保持内容の上位nビットは出力信号線12を通してパリティ発生回路14に入力され、この結果パリティ出力信号線15上に対応するパリティビットP₁が输出される。

一方、アドレスレジスタ11の保持内容の下位nビットは出力信号線13を通してディレク

特開昭57- 92499(3)

の読出し出力のうちのパリティビットのための読出し出力信号線である。19は比較回路(第2の比較回路)である。比較回路19はパリティ出力信号線16上の情報と読出し出力信号線18上の情報を比較し、不一致検出時に禁止信号線20上に禁止信号を出力するようになつている。また、21も比較回路(第1の比較回路)である。比較回路21は出力信号線12上の情報をと読出し出力信号線17上の情報を比較し、メモリアドレス(の上位nビット)がディレクトリメモリ16から読出されるアドレス情報をと一致するか否かを判定する。比較回路21は上記比較によつて一致を検出し、かつ禁止信号線20より禁止信号が与えられないときだけ、ディレクトリメモリ16に登録されている旨の一一致検出信号を出力信号線22を通してキヤツシユ制御部へ出力するようになつている。

次に動作を説明する。従来例で説明した場合と同様に、主記憶装置(図示せず)における“1000”₁₆番地と“3000”₁₆番地

トリメモリ16のアドレス入力となる。アドレスレジスタ11の保持内容すなわち“1000”₁₆番地に対応するディレクトリ情報は本来ディレクトリメモリ16に登録されていない。しかし、上述のように、“3000”₁₆番地に対応するディレクトリ情報が“1000”₁₆番地に対するディレクトリ情報に変化しているため、上記アドレス入力によつて“1000”₁₆番地に対するディレクトリ情報(およびそのパリティビットP₁)がディレクトリメモリ16から読出されてしまう。この“1000”₁₆番地に対するディレクトリ情報は読出し出力信号線17を通して比較回路21に出力され、上記パリティビットP₁は読出し出力信号線18を通して比較回路19に出力される。

比較回路21は出力信号線12上の情報をすなわち“1000”₁₆番地を示すメモリアドレスの上位nビットと、読出し出力信号線17上の“1000”₁₆番地に対するディレクトリ

情報とを比較する。この場合、一致を示す比較結果となる。したがつて、比較回路21から一致検出信号がそのまま出力されてしまうとすると、従来例で説明したようにキヤツシユヒットしたものと（キヤツシユ制御部によつて）判断され、キヤツシユメモリより、すでに保存されてある“3000”₁₆ 番地のデータが誤つて読み出されることになる。しかし、この場合、本実施例では以下に示すように比較回路21から一致検出信号は出力されず、誤つたデータが読み出される恐れはない。

すなわち、比較回路19はパリティ出力信号線15上の前記パリティビットP₁と、読み出し出力信号線18上の前記パリティビットP₂とを比較する。これにより、比較回路19は不一致を検出し（一致検出の場合も、ある確率で起り得るが）、禁止信号を禁止信号線20上へ出力する。比較回路21は、前述の如くたとえ出力信号線12上の情報と読み出し出力信号線17上の情報との一致を検出した場合でも、禁

止信号線20上の上記禁止信号によつて、一致検出信号の出力を禁止される。この結果、キヤツシユミスしたものと（キヤツシユ制御部によつて）判断され、主記憶装置より

“1000”₁₆ 番地のデータが正しく読み出される。このとき、“1000”₁₆ 番地に対応するディレクトリ情報（“1000”₁₆ を示すアドレスの上位4ビット）と、このディレクトリ情報に基づいてパリティ発生回路14で発生されるパリティビットとは、出力信号線12およびパリティ出力信号線15をそれぞれ介してディレクトリメモリ16に登録され、対応するデータはキヤツシユメモリに保存されることは勿論である。

このように本実施例によればパリティ発生回路14および比較回路19を設けるだけで、特別のパリティ検査回路等を用いることなくディレクトリメモリ16に登録されているディレクトリ情報に対するパリティチェック（と等価な検査）が行なえるので、特にディレクトリメモ

リ16の故障などに起因する誤動作を極めて簡単に防止でき、正しいキヤツシユアクセス（データ読み出し）を効率よく行なうことができる。

また、本実施例によれば、間欠的に発生するエラーに対してはキヤツシユミスした場合と同じ動作となり、正しいデータが主記憶装置より読み出されると共に、対応するディレクトリ情報がディレクトリメモリ16に登録され、かつ上記正しいデータがキヤツシユメモリに保存される自己回復機能が發揮できる。

また、本実施例によれば、異常検出のためのパリティチェック（と等価な検査）を、パリティ検査回路を用いずに、比較回路19によつて比較回路21とほぼ同時に行なうことができる。こので、パリティチェックのための特別な検査時間を開ける必要がなく、したがつて処理速度に悪影響を及ぼす恐れがない。

なお、前記実施例では2つの比較回路19、21を設けた場合について説明したが、1つの比較回路によつて出力信号線12およびパリテ

ィ出力信号線15上の各情報の連結情報を、ディレクトリメモリ16の読み出し出力（読み出し出力信号線17、18上の各情報の連結情報を）とを比較するようにしてもよい。この場合、一致検出はキヤツシユヒットに対応し、不一致検出はキヤツシユミスに対応することになる。

また、前記実施例において比較回路19から出力される禁止信号を、パリティエラーを示す異常検出信号として用いることにより、たとえばディレクトリメモリ16の故障などを示す表示ランプを点灯させたり、あるいはディレクトリメモリ16をチェックする検査プログラムを走行させることができ、一般に故障解析が困難なディレクトリメモリ16の効率よい解析が可能となる。

以上詳述したように本発明のディレクトリ装置によれば、極めて簡単な構成でありながらキヤツシユアクセス要求に対するデータの読み出しを誤りなく行なうことができる。

4. 図面の簡単な説明

図面は本発明のディレクトリ装置の一実施例を示すブロック図である。

11…アドレスレジスタ、14…パリティ発生回路、16…ディレクトリメモリ、19…21…比較回路、20…禁止信号線。

出願人代理人弁理士 鈴 江 武 彦

